
FILTRO RECURSIVO ANALÓGICO DIGITALMENTE PROGRAMÁVEL POR CONTROLE DE CARGA

Joarez B. Monteiro*
joarez@lps.ufrj.br

Antonio Petraglia*
petra@pads.ufrj.br

Carlos A. Leme†
carlos@gcsi.ist.utl.pt

*EE/COPPE - Universidade Federal do Rio de Janeiro, C.P. 68504
CEP 21945-970, Rio de Janeiro, RJ, Brasil

†Grupo de Circ. e Sist. Integrados, Instituto Superior Técnico, Av. Rovisco Pais 1
1096 Lisboa, Portugal

ABSTRACT

This paper presents a novel procedure for the implementation of digitally programmable switched-capacitor recursive (IIR) filters. The use of a number of zeros greater than the number of poles assures low sensitivity in the passband, being better than that obtained with an elliptic filter. Digital-to-analog conversion (DAC) techniques allow filter programming by controlling capacitor charge instead of adjusting a capacitor bank, reducing both silicon area and costs. Finally, multiplexing individual operational amplifiers among 2^{nd} order FIR modules reduces the number of required op-amps and, consequently, power dissipation.

KEYWORDS: Filter design; Integrated circuit; Programmable filter; Recursive filters; Switched-capacitor filters.

RESUMO

Este trabalho apresenta um novo processo de implementação de filtros recursivos do tipo IIR (*infinite impulse response*) programáveis a capacitor chaveado. O em-

prego da estrutura com número de zeros maior que o número de pólos garante sensibilidade na banda de passagem melhor do que a de filtros elípticos que atendam às mesmas especificações. A utilização de técnica de conversão digital analógica (DAC) permite a programação do filtro pelo controle da carga dos capacitores eliminando a necessidade de bancos de capacitores que aumentam a área de silício e o custo de fabricação do circuito integrado. Finalmente, a técnica de multiplexação do amplificador operacional aplicada na realização de módulos FIR (*finite impulse response*) de 2^{a} ordem permite projetar o filtro com baixo consumo de potência.

PALAVRAS-CHAVE: Projeto de filtros; Circuito integrado; Filtro programável; Filtros recursivos; Filtros a capacitor chaveado.

1 INTRODUÇÃO

O constante aumento da densidade de integração na tecnologia CMOS associado às características de baixo consumo de potência, alta velocidade e baixa complexidade dos circuitos a capacitor chaveado, têm estimulado a compactação de sistemas de processamento de sinais pela integração de sistemas mistos analógico-digitais (Gregorian and Temes, 1986). Os circuitos a capacitor chaveado têm sido largamente utilizados em

Artigo submetido em 20/12/00

1a. Revisão em 26/02/02

Aceito sob recomendação do Ed. Assoc. Prof. Jacques Szczupak

aplicações de filtragem onde a programabilidade é uma característica que tem atraído a atenção de diversos pesquisadores (Paulino *et alii*, 1995; Moon, 2000; Martins *et alii*, 1993 e Petraglia e Mitra, 1991).

Em geral, os filtros programáveis incorporam bancos de capacitores que permitem variar os valores das capacitâncias pela aplicação de códigos digitais. Este procedimento não é conveniente para filtros integrados, uma vez que as soluções assim obtidas geralmente ocupam grande área de silício, encarecendo o custo de produção. Deve-se considerar ainda, nesta técnica, dois fatores que contribuem para erros nos coeficientes do filtro: a capacitância parasita associada ao grande número de capacitores do banco e a grande dispersão que se observa nos valores dos capacitores (Moon, 2000), dificultando a aplicação de técnicas de projeto de circuito integrado que garantam a precisão da razão dos capacitores.

Outra característica desejável para os filtros a capacitor chaveado é a baixa sensibilidade às variações dos coeficientes – razão de capacitores – que depende, entre outros fatores, do tipo de estrutura adotada na implementação do filtro. Em estudo comparativo (Petraglia e Pereira, 1999 e Petraglia, 2001), foi mostrado que estruturas recursivas (IIR) a capacitor chaveado tendo função de transferência com número de pólos menor do que o número de zeros, além de maior linearidade na fase, apresentam menor sensibilidade às variações de coeficientes do que as realizações *ladder* do filtro elíptico – número de pólos e zeros iguais – que atendam às mesmas especificações.

O principal objetivo deste trabalho é apresentar uma nova solução para a realização de filtro digitalmente programável a capacitor chaveado com estrutura de baixo consumo e baixa sensibilidade à variação das razões de capacitores, e sendo assim apropriada para a implementação em circuito integrado.

Na programação é empregada uma técnica de conversão digital analógica (DAC) (Martins *et alii*, 1993 e Paulino *et alii*, 1995) que permite a seleção dos coeficientes do filtro pelo controle da carga do capacitor, e não pela variação da área como é convencionalmente utilizado. Como conseqüência, além da facilidade de programação, obteve-se solução com baixa dispersão de valores de capacitores e com área de integração significativamente reduzida. É importante observar que a baixa dispersão, além de melhorar a precisão das razões de capacitores, ainda exige menor consumo de potência nos amplificadores.

Seções FIR de segunda ordem, obtidas com um único amplificador operacional multiplexado, são usadas na

realização dos zeros e pólos do filtro, conduzindo a uma estrutura bastante atraente para a integração por sua modularidade e baixo consumo.

Para mostrar a viabilidade da técnica proposta foi projetado um filtro com oito zeros sobre a circunferência de raio unitário e apenas dois pólos complexos. A comparação com um filtro elíptico de quinta ordem revela apenas uma banda de transição ligeiramente maior conforme se observa na Fig. 1. Deve-se observar que as complexidades dos dois filtros são equivalentes uma vez que, em ambos, a soma do número de pólos e zeros é a mesma.

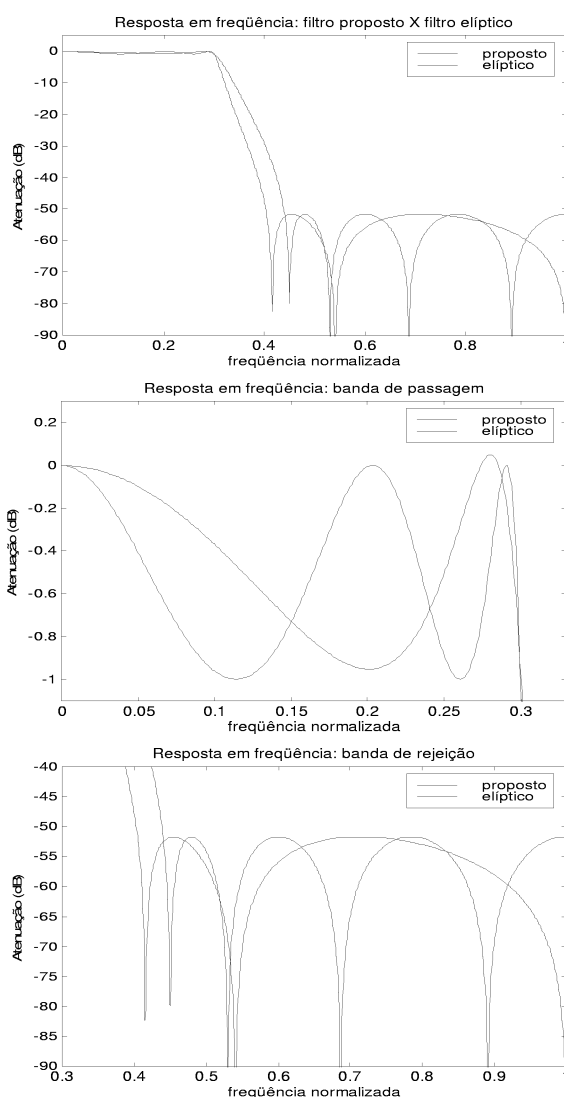
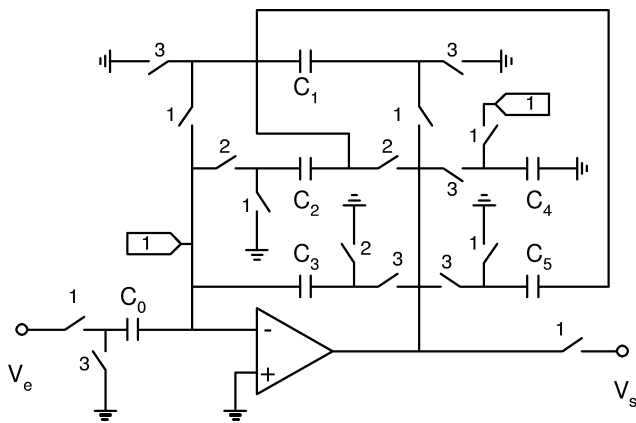


Figura 1: Comparação das respostas em frequência do filtro proposto (8 zeros e 2 pólos) e do filtro elíptico de 5ª ordem.

2 ESTRUTURA DO FILTRO

Os zeros da função de transferência são realizados pela associação em cascata de quatro seções FIR de segunda ordem. Um módulo similar, posicionado na malha de realimentação, é utilizado para a implementação dos pólos complexos. O posicionamento dos zeros sobre a circunferência de raio unitário ($|z| = 1$) é obtido pela realização de uma função de transferência da forma $1 + \alpha_z z^{-1} + z^{-2}$ para cada módulo, garantindo o máximo de atenuação na frequência desejada. O ajuste de um único coeficiente (α_z) no intervalo $[-2, 2]$ permite o posicionamento dos zeros em qualquer ponto da circunferência de raio unitário, desde que os outros dois coeficientes sejam exatamente iguais à unidade.

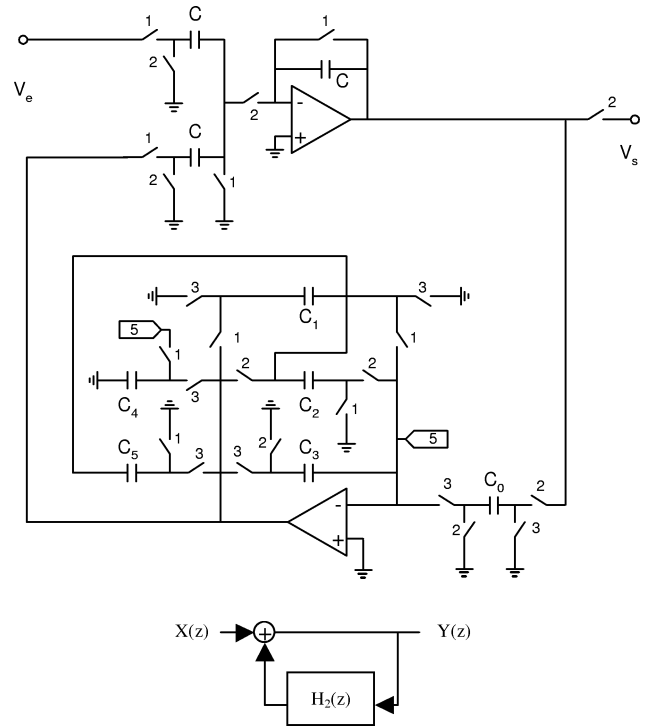
Contudo, mesmo a implementação deste polinômio de segunda ordem requer estruturas mais elaboradas, de modo a evitar o consumo de potência excessivo devido ao número de amplificadores operacionais necessários para a realização da linha de atrasos e dos somadores. Fischer (1990 e 1994) apresentou estruturas para implementação de filtros FIR onde um único amplificador operacional é multiplexado de forma a implementar um polinômio de ordem n , com a utilização de $(n+1)$ fases.



$$H_1(z) = -\frac{C_0}{C_1} \left(1 + \frac{C_4 - C_5}{C_3} z^{-1} + z^{-2} \right)$$

Figura 2: Módulo dos zeros e função de transferência.

Baseado neste estudo, foi desenvolvido um módulo que implementa o polinômio de segunda ordem com a utilização de três fases, e que ainda permite o ajuste do coeficiente de z^{-1} (α_z). Para realizar coeficientes negativos e positivos com a mesma estrutura utilizaram-se dois capacitores (C_4 e C_5) em paralelo na fase de amostragem fazendo-se a inversão de apenas um deles (C_4) na fase de transferência. Assim, o coeficiente α_z é realizado pela diferença entre duas razões de capacitores,



$$H_2(z) = -\left(\frac{C_4 - C_5}{C_3} \cdot \frac{C_0}{C_1} z^{-1} + \frac{C_0}{C_1} z^{-2} \right)$$

$$\frac{Y(z)}{X(z)} = \frac{1}{1 - H_2(z)} = \frac{1}{1 + \alpha_p \beta z^{-1} + \beta z^{-2}}$$

Condição para a realização de pólos complexos:

$$-2\sqrt{\beta} \leq \alpha_p \beta \leq 2\sqrt{\beta}$$

Condição para a estabilidade:

$$|z| = \sqrt{\beta} < 1 \Rightarrow 0 \leq \beta < 1$$

Figura 3: Módulo dos pólos e função de transferência.

conforme mostrado em $H_1(z)$, na Fig. 2. Ajustando C_4 para valores acima e abaixo de C_5 , fixado como referência, é possível implementar coeficientes negativos e positivos sem qualquer modificação da estrutura.

Uma outra característica importante do circuito da Fig. 2, que é particularmente desejável para filtros programáveis, é a realização estrutural dos coeficientes unitários dos termos z^0 e z^{-2} , garantindo a localização dos zeros exatamente sobre a circunferência de raio unitário e, conseqüentemente, a máxima atenuação na frequência desejada, independentemente de qualquer relação de capacitores.

A realização do pólo, conforme indicado na Fig. 3, é

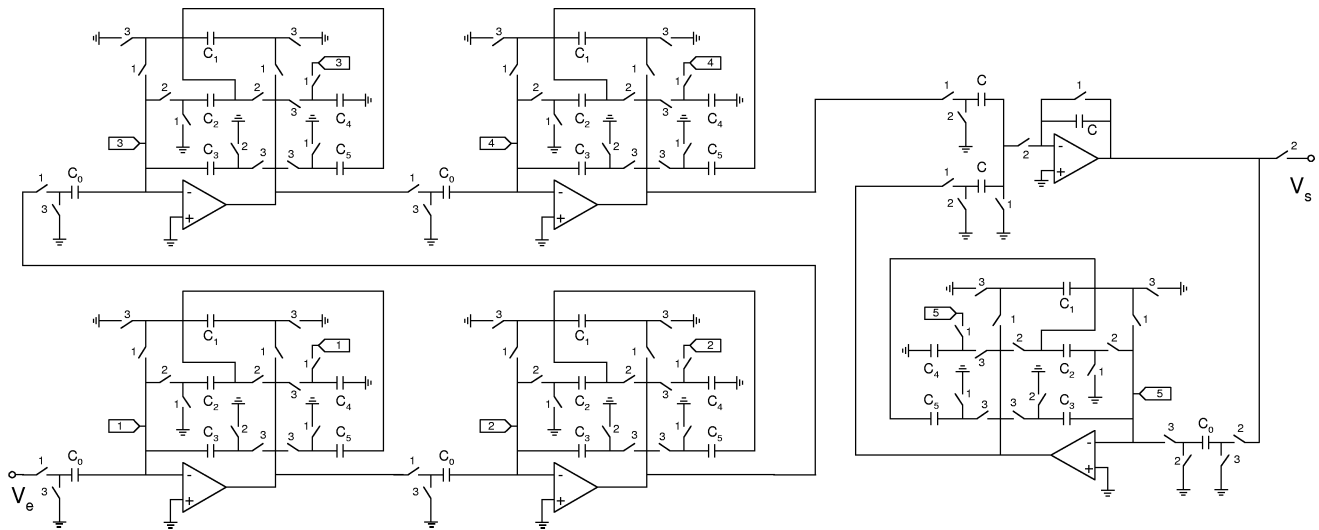


Figura 4: Estrutura global do filtro com 2 pólos e 8 zeros

obtida com a introdução do somador e de uma pequena modificação na estrutura do zero de modo a eliminar o coeficiente de z^0 e formar o polinômio $H_2(z)$. Com a realimentação é formado o polinômio de segunda ordem no denominador. O denominador é programado pelo ajuste de C_0 e C_4 que controlam, respectivamente, os coeficientes β e α_p .

Na Fig. 4 é apresentada a estrutura global do filtro composta de um par de pólos e quatro pares de zeros complexos. Deve-se observar que devido ao seu elevado ganho, o módulo que implementa os pólos é associado em cascata após todos os módulos que implementam os zeros. Assim esse ganho passa a ter a função de compensar as perdas acumuladas nos estágios anteriores, evitando a distorção do sinal pela saturação dos amplificadores operacionais.

3 PROGRAMAÇÃO USANDO DAC

A programação é realizada pelo ajuste dos capacitores C_4 nos módulos de zeros e de C_0 e C_4 no módulo de pólos de modo a controlar, respectivamente, os coeficientes α_z , β e α_p . A forma convencional de programação utiliza bancos de capacitores digitalmente controlados que fazem a variação física dos componentes. As soluções que utilizam esta técnica, além de exigir uma grande dispersão dos valores dos capacitores, ainda ocupam grande área de integração e, conseqüentemente, encarecem o custo de fabricação do circuito integrado.

Com o objetivo de reduzir a quantidade e a dispersão dos valores dos capacitores, utilizamos uma técnica de conversão digital analógica (DAC) que simula a variação

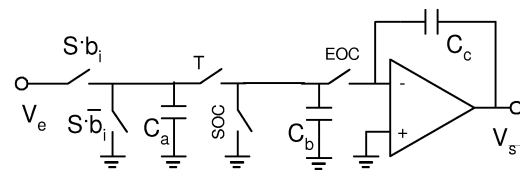


Figura 5: Estrutura do DAC e diagrama de tempos.

do valor do capacitor pelo controle de sua carga. Pela análise do circuito ilustrativo e do diagrama de tempos indicados na Fig. 5 verificaremos que a tensão final armazenada no capacitor C_b é dependente da tensão de entrada e da palavra binária de N bits aplicadas ao sistema.

A duração do processo de conversão é determinada pelo tempo decorrido entre os pulsos de início (SOC – *start of conversion*) e o de final de conversão (EOC – *end of conversion*). Neste período as formas de onda S e T e a palavra binária de N bits comandam o processo de carga dos capacitores C_a e C_b . Para cada pulso do sinal S as chaves $S \cdot b_i$ e $S \cdot \bar{b}_i$ são acionadas dependendo do i ésimo bit da palavra binária de programação (b_i), isto é, se $b_i = 1$, a chave Sb_i é fechada e a chave $S\bar{b}_i$ permanece

aberta, se $b_i = 0$, a chave Sb_i permanece aberta e a chave \overline{Sb}_i é fechada.

Inicialmente, o pulso SOC descarrega o capacitor C_b . Em seguida, para cada pulso do sinal S as chaves Sb_i ou \overline{Sb}_i são acionadas, dependendo de b_i . Se $b_i = 1$, o capacitor C_a é carregado com a tensão de entrada (V_e); se $b_i = 0$, o capacitor C_a é descarregado. A cada pulso do sinal T, a chave correspondente é fechada conectando os capacitores C_a e C_b em paralelo, provocando a redistribuição de suas cargas e modificando a tensão (V_i) armazenada em C_b . Este processo se repete durante todo o período de conversão, para cada bit da palavra de programação.

Para cada pulso do sinal S, a carga elétrica acumulada nos capacitores C_a e C_b será :

$$Q_i^{C_a} = CV_e b_i \quad i = 0, 1, 2, 3 \dots (N-1)$$

$$Q_i^{C_b} = \begin{cases} 0, & i = 0 \\ CV_{i-1}, & i = 1, 2, 3 \dots (N-1) \end{cases} \quad (1)$$

Pela lei de conservação das cargas, após cada pulso do sinal T, a carga elétrica armazenada no capacitor equivalente ($C_{eq} = C_a + C_b$) será igual à soma das cargas elétricas de C_a e C_b antes do fechamento da chave T. Assim :

$$Q_i^{C_{eq}} = C_{eq} V_i = Q_i^{C_a} + Q_i^{C_b} \quad (2)$$

Considerando $C_a = C_b = C \Rightarrow C_{eq} = 2C$, podemos escrever:

$$\begin{aligned} C_{eq} V_0 &= CV_e b_0 \\ C_{eq} V_1 &= CV_e b_1 + CV_0 \\ &\vdots \\ C_{eq} V_{N-1} &= CV_e b_{N-1} + CV_{N-2} \end{aligned}$$

Explicitando V_{N-1} (Eq. 3), podemos determinar a tensão final armazenada no capacitor C_b , que é a mesma do capacitor C_{eq} :

$$V_{N-1} = V_e \frac{\sum_{i=0}^{N-1} 2^i b_i}{2^N} = KV_e \quad (3)$$

Ao final da conversão o pulso EOC faz a transferência de carga do capacitor C_b para C_c . Assim, a tensão de saída V_s será:

$$V_s = -\frac{C_b}{C_c} V_{N-1} = -\frac{KC_b}{C_c} V_e \quad (4)$$

Portanto, observando a Eq. 4 pode-se entender que o efeito final do processo de conversão é a variação do capacitor C_b pelo fator de proporcionalidade K determinado pela palavra binária pré-programada.

Considerando T_{ck} como o período do sinal S, pelo diagrama de tempos podemos observar que a duração de cada fase corresponde ao número de períodos do sinal S, equivalente ao número de bits (N) utilizados na operação do DAC, mais um período acrescentado no início da fase como tempo de estabilização do sinal na saída do amplificador operacional. Podemos então escrever:

$$\begin{aligned} T_\phi &= (N+1)T_{ck} \\ T_s &= n_f \cdot T_\phi \\ T_s &= n_f \cdot (N+1)T_{ck} \\ f_{ck} &= n_f \cdot (N+1) \cdot f_s \end{aligned}$$

onde:

T_ϕ - duração de uma fase
 T_{ck} - período do sinal S
 T_s - período de amostragem
 n_f - número de fases
 N - número de bits usados na operação do DAC
 f_{ck} - frequência do sinal S
 f_s - frequência de amostragem.

Observa-se que a frequência do sinal S aumenta com o número de fases e o número de bits utilizados na operação do DAC. Assim, para reduzir ao máximo a frequência f_{ck} , optamos por usar 6 bits na operação do DAC controlando apenas uma parte do capacitor C_4 e, para continuar com uma resolução de 8 bits, utilizamos 2 bits adicionais na programação de uma parte fixa deste capacitor, cujos efeitos são somados na fase de transferência de carga para C_1 .

Esta técnica mista de programação dos coeficientes do filtro, parte pela programação de um pequeno banco de capacitores (2 bits), parte pelo controle da carga do capacitor (6 bits), concilia os dois inconvenientes das duas técnicas que são, respectivamente, o aumento da área de integração e aumento da frequência de operação. Quantitativamente, estima-se um aumento de 64 vezes na área de capacitores e 2,6 vezes no consumo, para o caso deste mesmo filtro programado por banco de capacitores ao invés da técnica de controle de cargas (DAC). O aumento da área se deve aos 256 capacitores unitários que seriam necessários para C_4 , e o aumento correspondente dos demais capacitores para a implementação correta da função de transferência. O aumento do consumo é proporcionalmente menor, pois apesar do aumento da capacitância de carga, pode-se permitir um tempo maior para a estabilização do sinal nas saídas dos amplificadores operacionais.

Na Fig. 6 é apresentada a estrutura final que substitui o capacitor C_4 nos módulos de zeros e pólos de modo a permitir a programação do filtro. O pulso de SOC, o período de conversão e o pulso de EOC são, respectiva-

mente, as fases 2, 3 e 1. As chaves *ctrl0* e *ctrl1* formam os dois bits adicionais de controle da parte de C_4 que não é controlada pelo DAC.

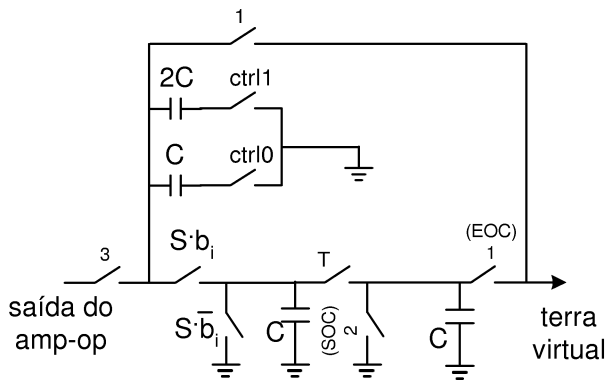


Figura 6: Estrutura de C_4 nos módulos de pólos e zeros.

Na Fig. 7 está a estrutura final para o capacitor C_0 do módulo de pólos. O período de conversão ocorre na fase 2, e os pulsos SOC e EOC nas fases 1 e 3. A modificação na posição de C_a é para permitir a inversão de polaridade da tensão de carga do capacitor C_b , necessária para a implementação da função de transferência $H_2(z)$ mostrada na Fig. 3.

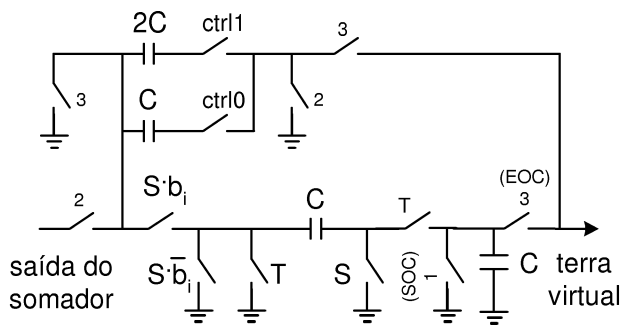


Figura 7: Estrutura de C_0 no módulo de pólos.

4 RESULTADOS

Para testar o funcionamento da estrutura proposta foi projetado um filtro com 8 zeros e 2 pólos complexos utilizando-se o programa de otimização *iirremez.m* (Jackson, 1994) desenvolvido para o projeto de filtros com número de zeros diferente do número de pólos.

Característica do filtro:

<i>ripple</i> na banda de passagem :	1,0 dB
atenuação na banda de rejeição:	51,7 dB
frequência de corte normalizada:	0,3

Para a implementação do filtro com 8 zeros e 2 pólos o numerador da função transferência foi decomposto em quatro polinômios de 2ª ordem. Usando palavras de 8 bits na programação é possível ajustar os coeficientes em passos de $1/256$. Na Tabela 1 são mostrados os coeficientes dos polinômios de 2ª ordem resultantes da decomposição da função de transferência do filtro projetado e os coeficientes mais próximos ajustados.

Tabela 1: Decomposição da Função de Transferência do Filtro em Polinômios de 2ª Ordem. Coeficientes Projetados e Programados.

Coeficientes do Filtro Projetado			Coeficientes Programados com Palavras de 8 Bits		
z^0	z^{-1}	z^{-2}	z^0	z^{-1}	z^{-2}
Implementação dos Zeros			Implementação dos Zeros		
1.0000	1.8832	1.0000	1.0000	1.8906	1.0000
1.0000	1.1063	1.0000	1.0000	1.1094	1.0000
1.0000	0.1877	1.0000	1.0000	0.1875	1.0000
1.0000	-0.3147	1.0000	1.0000	-0.3125	1.0000
Implementação dos Pólos			Implementação dos Pólos		
1.0000	-1.0524	0.8084	1.0000	-1.0487	0.8086

Pode-se observar na Fig. 8 que os zeros do filtro implementado com a estrutura proposta ficam localizados exatamente sobre a circunferência de raio unitário conforme previsto, e que a resposta em frequência varia muito pouco em relação às especificações desejadas.

O filtro proposto foi projetado considerando uma frequência de amostragem $f_s=1\text{MHz}$, e simulado usando parâmetros do processo de fabricação da AMS para tecnologia CMOS de $0.8\mu\text{m}$. As simulações indicaram que para evitar os efeitos do ganho DC finito, o amplificador operacional deve ser projetado com ganho superior a 5000 (74 dB). Utilizando OTAs cascode dobrado em configuração diferencial projetados especialmente para esta aplicação, com ganho DC de 107 dB, GB de 110 MHz e margem de fase de 77 graus, foram obtidos resultados promissores demonstrando a viabilidade da utilização da técnica proposta na implementação de circuitos integrados.

A resposta em frequência obtida usando a base de dados do PSPICE é mostrado na Fig. 9 em termos da frequência normalizada, e os resultados obtidos acompa-

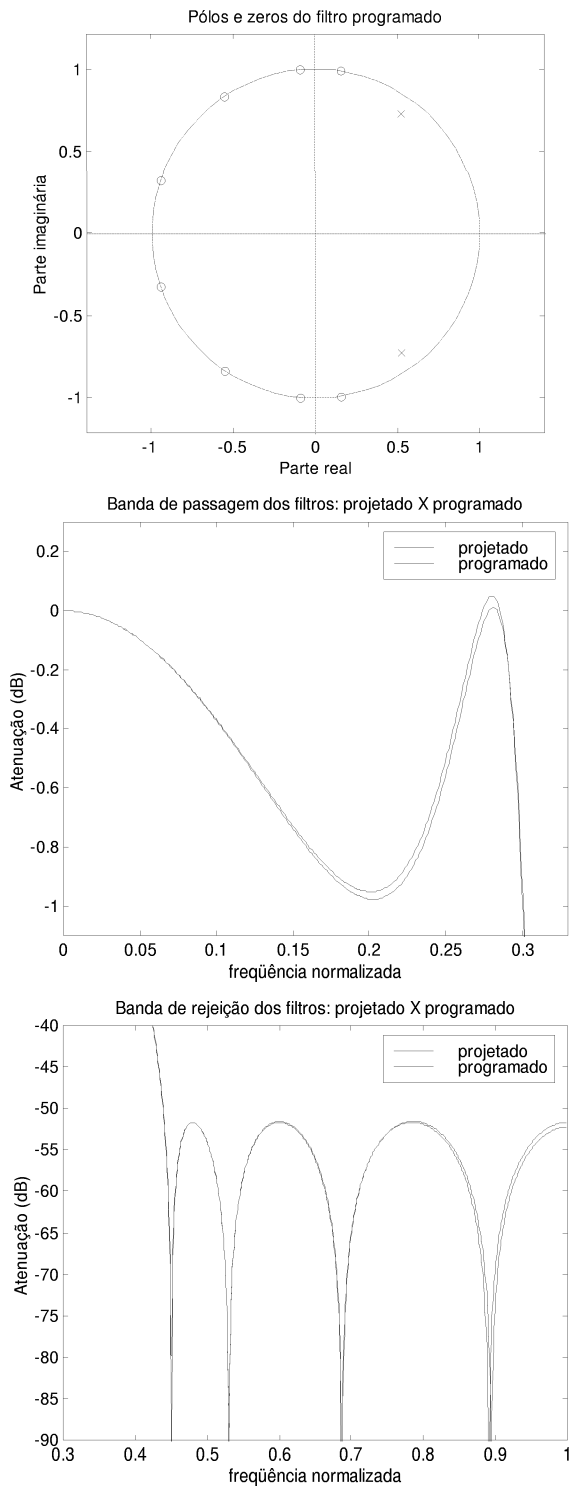


Figura 8: Posicionamento dos pólos e zeros do filtro programado e comparação das respostas em frequência do filtro projetado e do filtro programado com palavra de 8 bits.

nam satisfatoriamente a resposta em frequência teórica apresentada na Fig.1.

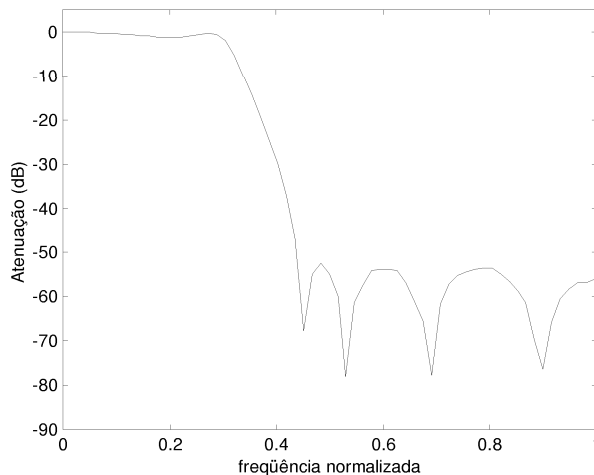


Figura 9: Resposta em frequência obtida por simulação no PSPICE.

5 CONCLUSÕES

Os resultados obtidos mostram que a estrutura apresentada pode ser utilizada com vantagens na realização de filtros digitalmente programáveis. O número de zeros maior do que o número de pólos garante a baixa sensibilidade à variação de coeficientes. O ajuste do capacitor pela técnica de conversão digital analógica (DAC) permite a programação de maneira simples e conduz a soluções com baixa dispersão dos valores dos capacitores que, aliada à modularidade da estrutura, são características atraentes para a integração tanto pela facilidade do projeto como pela redução significativa da área de capacitores necessária para a implementação em circuito integrado.

A reduzida quantidade de amplificadores operacionais conseguida com a técnica de multiplexação viabiliza a utilização da estrutura em aplicações onde haja exigência de baixo consumo de potência. Contudo, para operação com 8 bits de resolução, a frequência de operação do DAC (f_{ck}) será 21 vezes maior do que a frequência de amostragem do filtro (f_s), impondo uma limitação quanto à frequência máxima de operação do filtro.

Embora o circuito seja sensível às capacitâncias parasitas associadas ao capacitor C_b (ver Fig. 5), seus efeitos não foram observados nas simulações devido à utilização somente de chaves ideais. Modificações para tornar a estrutura insensível, em geral, introduzem inversão de

polaridade. Com a utilização de estrutura totalmente diferencial e uma escolha conveniente do terra virtual, é possível introduzir uma inversão de polaridade adicional para contornar este problema, conforme já observado por outro pesquisador (Fischer, 1994).

REFERÊNCIAS

- Fischer, G. (1990). Analog FIR Filters by Switched-Capacitor Techniques, *IEEE Transactions on Circuits and Systems*, vol. 37, No. 6, pp. 808-814.
- Fischer, G. (1994). Switched-Capacitor FIR Filters – A Feasibility Study, *IEEE Transactions on Circuits and System – II: Analog and Digital Signal Processing*, vol.41, No. 12, pp. 823-827.
- Gregorian, R. and Temes, G.C. (1986). *Analog MOS Integrated Circuits for Signal Processing*. Wiley, New York – USA.
- Jackson, L. B. (1994). An Improved Martinez/Parks Algorithm for IIR Design with Unequal Numbers of Poles and Zeros, *IEEE Transactions on Signal Processing*, vol. 42, No. 5, pp. 1234-1238.
- Martins, F. P., Paulino, N. F. and Franca, J. E. (1993). Charge Programming Techniques for SC Biquads. *Proc. IEEE ISCAS93*, Chicago, IL, pp. 1160-1163.
- Moon, U. (2000). CMOS High-Frequency Switched-Capacitor Filters for Telecommunication Applications. *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 2, pp. 212220.
- Paulino, N., Franca, J. E. and Martins, F. P. (1995). Programmable CMOS Switched-Capacitor Biquad Using Quasi-Passive Algorithmic DAC's, *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 6, pp. 715-719.
- Petraglia, A. (2001). Fundamental Frequency Response Bounds of Direct Form Switched-Capacitor Filters with Capacitance Mismatch, *IEEE Transactions on Circuits and Systems, Part II*, vol. 48, pp. 340-350.
- Petraglia, A. and Mitra, S. K. (1991). Switched-Capacitor Equalizer with Digitally Programmable Tuning Characteristics. *IEEE Transactions on Circuits and Systems*, vol. 38, No. 11, pp. 1322-1331.
- Petraglia, A. e Pereira, J. S. (1999). Switched-Capacitor Decimation Filters with Direct-Form Polyphase Structure Having Very Small Sensitivity Characteristics, *Proc. Int. Symp. On Circuits and Systems*, Orlando, Fl, EUA, pp. II.73-II.76.